Descrizione progetto

Il nostro progetto ha l’obiettivo di studiare l’interfaccia seriale asincrona UART e realizzarne un esempio in VHDL testandone in seguito il funzionamento tramite test bench.

L’interfaccia UART è un sistema che permette la comunicazione tra dispostivi che si basa sulla trasmissione seriale di un byte alla volta usando una sola linea e serializzando bit a bit.

È largamente usata a livello industriale grazie al fatto che sia asincrona quindi non ha bisogno di una linea che sincronizzi il clock.

Descrizione componente

Comunica con altri dispositivi tramite 4 linee:

* TX: dove viene trasmesso il dato serializzato
* RX: dove ricevo il dato da un’altra interfaccia
* RTS: segnale inviato dal ricevente per comunicare che è pronto a ricevere i dati
* CTS: segnale ricevuto dall’interfaccia ricevente per iniziare a trasmettere

Oltre a queste linee il nostro componente avrà bisogno di 2 bus a 8 bit da usare per input e output con dei relativi segnali di start e ready usati rispettivamente per leggere e comunicare quando i dati sono pronti sul bus.

In ingresso ci sarà un segnale di clock che, tramite al segnale a 3 bit di selezione del baudrate, genererà 2 tipi di clock interno: il primo sarà usato per la ricezione dove avremo bisogno di un sovracampionamento di un fattore 8 per riuscire ad allineare i bit ricevuti. Il secondo sarà utilizzato in fase di trasmissione e sarà pari al baudrate selezionato.

La linea di trasmissione viene mantenuta a livello alto fino a quando sia il segnale di start che il segnale di CTS non sono a livello alto.

A quel punto la linea di trasmissione si abbassa per un tempo di bit segnalando l’inizio della trasmissione.

Continua trasmettendo il byte in ingresso in modo seriale al baudrate prefissato terminando con un bit a livello logico alto che riporta la linea allo stato di default.

Per ricevere il dato la linea di ricezione viene campionata 8 volte più veloce del baudrate leggendo in modo preciso l’istante in cui viene trasmesso il bit di start. In quel momento viene abbassato il segnale di RTS e facendo poi passare 4 cicli di clock per poi iniziare a campionare ogni 8, quindi a centro bit.

La trasmissione sarà in totale di 10 bit, il primo di start che viene usato per allineare il campionamento, 8 bit di dati e un bit a livello logico alto di stop che indica la fine della trasmissione.

Una volta terminata la lettura il segnale di RTS può tornare alto insieme al segnale di ready che comunica che il byte è pronto da leggere sul bus di uscita.